



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-016278

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H04L 25/02

G06F 3/00

RECEIVED

DEC 13 2002

Technology Center 2600

(21)Application number : 11-186330

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1999

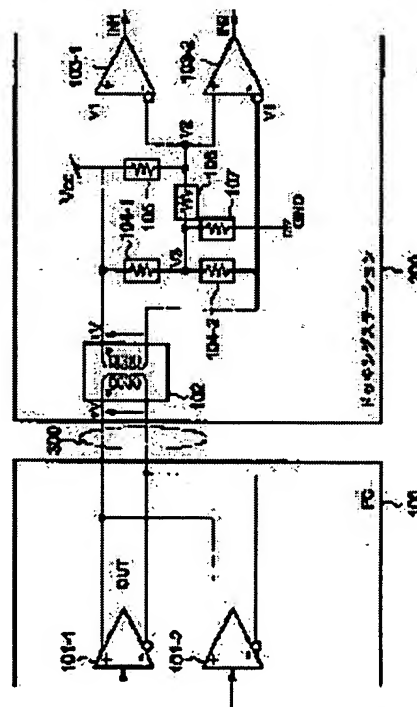
(72)Inventor : NAKAMURA NOBUTAKA
NINOMIYA RYOJI

(54) SERIAL SIGNAL TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To realize serial transmission suitable for a signal line to which a transformer is inserted by utilizing an existing differential buffer.

SOLUTION: Differential output buffers 101-1, 101-2 are connected in parallel and the two differential output buffers 101-1, 101-2 drive a differential signal line pair to which a transformer 102 is inserted. In this case, a voltage between the differential signal lines in a pair depends on combinations of outputs from the differential output buffers 101-1, 101-2, which can output tri-state values of '+V', '-V', 'zero'. Thus, using the tri-state data attains the serial signal transmission adopting the bipolar system and the serial transmission suitable for the signal line to which the transformer is inserted can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the decision of rejection]

Best Available Copy

than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-16278
(P2001-16278A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 4 L 25/02	3 0 3	H 0 4 L 25/02	3 0 3 B 5 K 0 2 9
G 0 6 F 3/00		G 0 6 F 3/00	C
			G

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平11-186330

(22) 出願日 平成11年6月30日 (1999.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 伸隆

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(72) 発明者 二宮 良次

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

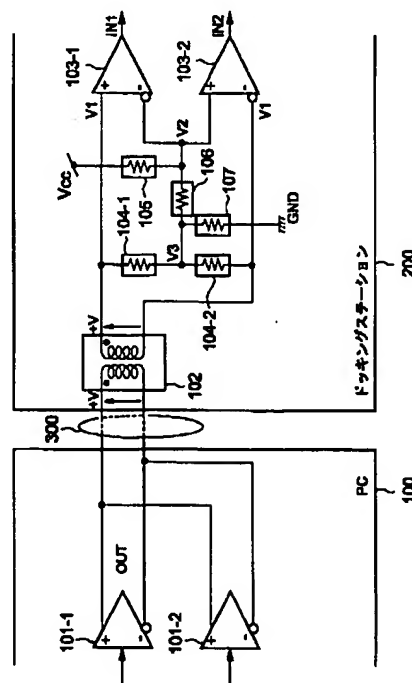
Fターム(参考) 5K029 AA11 CC01 DD02 FF03 HH01
JJ03

(54) 【発明の名称】 シリアル信号伝送装置

(57) 【要約】

【課題】 トランスが挿入された信号線路に好適なシリアル伝送を既存の差動バッファを利用して実現する。

【解決手段】 差動出力バッファ101-1, 101-2が並列に接続されており、これら2つの差動出力バッファ101-1, 101-2によって、トランス102が挿入された差動信号線路が駆動される。この場合、差動信号線路対間の電圧は2つの差動出力バッファ101-1, 101-2からの出力の組み合わせによって決定され、「+V」、「-V」、「ゼロ」の3値を出力することができる。したがって、この3値データを用いることによってバイポーラ方式によるシリアル信号伝送が可能となり、トランスが挿入された信号線路に好適なシリアル伝送を実現できる。



【特許請求の範囲】

【請求項1】 トランスが挿入された信号線対を介してシリアルデータを伝送するシリアル信号伝送装置であって、

前記信号線対の2つの線路に対して正出力端子および負出力端子がそれぞれ接続された第1の差動出力バッファと、

前記信号線対の2つの線路に正出力端子および負出力端子がそれぞれ接続された第2の差動出力バッファとを具備し、

前記第1および第2の差動出力バッファを用いて前記信号線対を駆動することにより、シリアルデータを構成する各2値データを、前記トランスに正方向の電流が流れる第1の状態と、前記トランスに負方向の電流が流れる第2の状態と、前記トランスに電流が流れない第3の状態とを含む3値データに変換して前記信号線対上に出力するように構成されていることを特徴とするシリアル信号伝送装置。

【請求項2】 正または負の信号入力端子とレファレンス信号入力端子とを有し、前記トランスの2次側の信号線対の2つの線路の一方に信号入力端子が接続された第1の差動入力バッファと、

正または負の信号入力端子とレファレンス信号入力端子とを有し、前記トランスの2次側の信号線対の2つの線路の他方に信号入力端子が接続された第2の差動入力バッファとをさらに具備し、

前記第1および第2の差動入力バッファの出力信号の組み合わせによって、前記信号線対を介して伝送される前記3値データの値を検出することを特徴とする請求項1記載のシリアル信号伝送装置。

【請求項3】 前記第3の状態の時に前記第1および第2の差動入力バッファのレファレンス信号入力端子と前記トランスの2次側の信号線対との間に電位差が生じるように、前記レファレンス信号入力端子と前記トランスの2次側の信号線対との間に所定のバイアス電圧を印加するバイアス印加手段をさらに具備することを特徴とする請求項2記載のシリアル信号伝送装置。

【請求項4】 コンピュータのバス間を接続するためのシリアル信号伝送装置であって、

バス間のトランザクション伝達に必要な情報をパラレルデータからシリアルデータに変換する手段と、

前記信号線対の2つの線路に対して正出力端子および負出力端子がそれぞれ接続された第1の差動出力バッファと、

前記信号線対の2つの線路に正出力端子および負出力端子がそれぞれ接続された第2の差動出力バッファと、
前記トランスに正方向の電流が流れる第1の状態と、前記トランスに負方向の電流が流れる第2の状態と、前記トランスに電流が流れない第3の状態とを含む3値データが前記信号線対を介して伝送されるように、前記シ

リアルデータを構成する各2値データに基づいて、前記第1および第2の差動出力バッファにそれぞれに供給する入力信号を生成する手段とを具備することを特徴とするシリアル信号伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は高速シリアルインターフェイスを実現するためのシリアル信号伝送装置に関する。

【0002】

【従来の技術】 近年、携行が容易でバッテリーにより動作可能なノートブックタイプのパーソナルコンピュータ（以下、ノートPCと称する）が種々開発されている。ノートPCの中には、その機能拡張のために、拡張ユニットに必要に応じて装着できるように構成されているものがある。ノートPC本体から拡張ユニットのリソースを有効利用できるようにするためには、ノートPC本体のバスと拡張ユニット内のバスとを接続することが重要である。このバス接続により、拡張ユニット内のバス上のデバイスをノートPC本体内のデバイスと同様に扱うことが可能になる。

【0003】 多くのパーソナルコンピュータでは、PCIバス（Peripheral Component Interconnect Bus）が使用されている。したがって、ノートPC本体と拡張ユニットとの間のバス接続は、PCIバスの信号線群の数に相当する多数のピンを有するドッキング用コネクタをノートPC本体側と拡張ユニット側にそれぞれ設け、そのドッキング用コネクタを介して両者のPCIバスを物理的に接続することによって行うのが通常である。

【0004】 しかし、この構成では、ドッキング用コネクタの実装に多くの面積が必要とされるため、ノートPC本体の小型化・薄型化を図る上では不利である。さらに、ノートPC本体側と拡張ユニット側それぞれのコネクタ実装位置を合わせなければならないため、新たな製品開発を行う上では、物理的な筐体構造に制約が加わることになる。

【0005】

【発明が解決しようとする課題】 そこで、PCIバス間のトランザクションを高速シリアルインターフェイスによって転送する技術の開発が要求され始めている。高速シリアルインターフェイスを利用することにより、ノートPC本体と拡張ユニット間を細くて柔軟なシリアルケーブルによって接続することが可能となる。

【0006】 高速シリアル信号を伝送する方式としては、差動方式と、バイポーラ転送方式の2つが考えられている。

【0007】 差動方式は、互いに位相が反転された信号ペアを用いる方式であり、“1”、“0”の2値シリアルデータは位相の反転した信号ペアで伝送される。

【0008】 バイポーラ方式は、“1”、“0”の2値

シリアルデータを、電圧 $+v$ 、 0 、 $-v$ の3つの電圧レベルで伝送する方式である。データが変化した時に符号を反転し、同じデータの時に 0 の電圧レベルを出力することにより、長期間転送した時には $+v$ と $-v$ の数がほぼ等しくなるという特徴がある。

【0009】ところで、ノイズによりデータ欠落した場合のリカバリーが弱くすぐに誤動作する高速信号を転送する場合には、静電気対策のためトランスを信号ラインに入れてDC成分を分離することが好ましい。しかし、トランスを使った信号の転送では次の2つの問題があり設計に注意が必要である。

【0010】1) トランスが飽和しないようにある一方に電流が流れ続けなくようにする。

【0011】2) トランスにかかる電圧の向きの割合が、長時間のスパイクで見たときにほぼ等しくなるようにする。ある向きの電圧が発生する割合が多いと、2次側で発生する電圧波形が、電圧振幅は同じものの電圧レベルが全体的にシフトしていくからである。

【0012】この2つの問題を解決する方法として、バイポーラ方式による転送は最適である。しかしながら、この方式を用いたLSIを開発する場合、GAやスタンダードセルといった短期開発できるLSI用のライブラリがなく、開発期間が長くなるという問題があった。

【0013】一方、差動方式の場合は、GAやスタンダードセルといったLSIのライブラリとして標準でもっているため、開発期間は短くて済むが、1)、2)の問題を回避するのが難しい。回避策としてデータ長を増やし符号化して転送するnBmBという方式があるが、符号化の為余計なデータがつくため、目的とするデータを転送するレートが落ちるという問題がある。

【0014】本発明は上述の事情に鑑みてなされたものであり、トランスが挿入された信号線路に好適なシリアル伝送を既存の差動バッファを利用して実行できるようにし、転送レートを落とすことなく、十分に信頼性の高いシリアル伝送を行うことが可能なシリアル信号伝送装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上述の課題を解決するため、本発明は、トランスが挿入された信号線路を介してシリアルデータを伝送するシリアル信号伝送装置であって、前記信号線路の2つの線路に対して正出力端子および負出力端子がそれぞれ接続された第1の差動出力バッファと、前記信号線路の2つの線路に正出力端子および負出力端子がそれぞれ接続された第2の差動出力バッファとを具備し、前記第1および第2の差動出力バッファを用いて前記信号線路を駆動することにより、シリアルデータを構成する各2値データを、前記トランスに正方向の電流が流れる第1の状態と、前記トランスに負方向の電流が流れる第2の状態と、前記トランスに電流が流

れない第3の状態とを含む3値データに変換して前記信号線路上に出力するように構成されていることを特徴とする。

【0016】このシリアル信号伝送装置においては、差動出力バッファが2段並列に接続されており、これら2つの差動出力バッファによって信号線路が駆動される。この場合、信号線路間の電圧は2つの差動出力バッファからの出力の組み合わせによって決定されるので、例えば、2つの差動出力バッファが共に正方向の電流を出力する状態をトランスに正方向の電流が流れる第1の状態とし、共に負方向の電流を出力する状態をトランスに負方向の電流が流れる第2の状態とし、そして一方が正方向の電流を出力し、他方が負方向の電流を出力することによって互いの出力電流が相殺される状態をトランスに電流が流れない第3の状態として使用することにより、3値データの伝送が可能となる。したがって、この3値データを用いることにより、前述のバイポーラ方式による信号伝送が可能となり、トランスの磁気飽和や、トランスの2次側における信号のオフセットレベルのシフトなどの問題を解決することができる。

【0017】また、受信側においても、差動入力バッファを2段並べることにより、バイポーラ方式で転送される3値データを容易に検出することが可能となる。この場合、前記第3の状態の時に前記第1および第2の差動入力バッファのレファレンス信号入力端子と前記トランスの2次側の信号線路との間に電位差が生じるように、前記レファレンス信号入力端子と前記トランスの2次側の信号線路との間に所定のバイアス電圧を印加するバイアス印加手段をさらに設けることが好ましい。これにより、第3の状態をより正しく検知することが可能となる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0019】図1には本発明の一実施形態に係るシリアル信号伝送装置の構成が示されている。このシリアル信号伝送装置はトランスが挿入された信号線路を介してシリアルデータを伝送する。以下では、パーソナルコンピュータ（PC）本体100と拡張ユニット200との間をケーブルからなるシリアル伝送路300を用いて接続する場合を例示して、その構成を説明する。

【0020】シリアル伝送路300は差動信号線路から構成されており、そこには、図示のように、トランス（パルストランス）102が挿入されている。シリアル伝送路300はケーブルから構成されているので、トランス（パルストランス）102は実際には図示のように受信側の装置（図1ではドッキングステーション200）に設けられる。

【0021】（送信回路部）シリアル信号伝送装置の送信回路部は、図示のように、2つの差動出力バッファ1

01-1, 101-2から構成されている。2つの差動出力バッファ101-1, 101-2の各々は、定電流出力によって差動信号線対を駆動するためのものであり、差動信号線対を駆動することによって2値のデータを出力する。この2値を仮に“1”, “0”とすると、“1”の時は差動バッファの+出力端子側から-出力端子側へ電流が流れ、“0”の場合は-出力端子側から+出力端子側へ電流が流れる。本実施形態では、これら2つの差動出力バッファ101-1, 101-2は図示のように並列接続されており、差動出力バッファ101-1, 101-2それぞれの+出力端子は差動信号線対を構成する2本の線路の内の+側線路に接続され、差動出力バッファ101-1, 101-2それぞれの-出力端子は差動信号線対の-側線路に接続されている。

【0022】本実施形態では、2つの差動出力バッファ101-1, 101-2からの出力の組み合わせを利用することにより、+V、-V、ゼロの3値で差動信号線対を駆動する。「+V」はトランス102に上から下向きの正方向の電流が流れる状態であり、また「-V」はトランス102に下から上向きの負方向の電流が流れる状態である。さらに、「ゼロ」は、トランス102に電流が流れない状態である。

【0023】2つの差動出力バッファ101-1, 101-2が共に正方向の電流を出力する“1”出力時の状態が「+V」、差動出力バッファ101-1, 101-2が共に負方向の電流を出力する“0”出力時の状態が「-V」、差動出力バッファ101-1, 101-2の一方が正方向の電流を出力する“1”出力状態で、他方が負方向の電流を出力する“0”出力状態の場合が「ゼロ」、に対応する。これにより、+V、-V、0の3値によるシリアルデータ伝送が可能となる。

【0024】すなわち、差動出力バッファ101-1, 101-2の駆動制御は次のように行われる。

【0025】1) トランス102にかかる電圧を0にする場合：「ゼロ」出力時

差動出力バッファ101-1は“1”、差動出力バッファ101-2は“0”を出力する。この場合、差動出力バッファ101-1の+出力端子から差動出力バッファ101-2の+出力端子へ電流が流れ込み、また差動出力バッファ101-2の-出力端子から差動出力バッファ101-1の-出力端子へ電流が流れ込むため、トランス102には電流が流れず、従ってトランス102の1次側の両端間には電圧が発生しない。このように、差動出力バッファ101-1, 101-2の出力電流が相殺される状態が「ゼロ」に対応する。

【0026】2) トランス102にかかる電圧を+Vにする場合：「+V」出力時

2つの差動出力バッファ101-1, 101-2は共に“1”を出力する。この時、2つの差動出力バッファ101-1, 101-2の出力電流を重ね合わせた電流が

トランス102に送られるので、トランス102には上から下向きの電流が流れ、その1次側には電圧+Vがかかる。トランス102の巻き数比は1対1のため、トランス102の2次側にも電圧+Vがかかる。

【0027】3) トランス102にかかる電圧を-Vにする場合：「-V」出力時

2つの差動出力バッファ101-1, 101-2は共に“0”を出力する。この時、2つの差動出力バッファ101-1, 101-2の出力電流を重ね合わせた電流がトランス102に送られるので、トランス102には下から上向きの電流が流れ、その1次側には電圧-Vがかかる。トランス102の巻き数比は1対1のため、トランス102の2次側にも電圧-Vがかかる。

【0028】(受信回路部) 受信回路部は、図示のように、2つの差動入力バッファ103-1, 103-2と、抵抗104-1, 104-2、105~107とから構成されている。

【0029】2つの差動入力バッファ103-1, 103-2の各々は、+入力端子と-入力端子を有しており、+入力端子側の電位が-入力端子の電位に比べ高いとき“1”を、+入力端子側の電位が-入力端子の電位に比べ低いとき“0”を出力する。+入力端子および-入力端子の一方が検知対象の信号を入力するための信号入力端子となり、他方が比較のための基準となる信号を入力するためのリファレンス信号入力端子となる。

【0030】差動入力バッファ103-1については、その+入力端子がトランス102の2次側の差動信号線対の+側線路に接続されているので、+入力端子が信号入力端子、-入力端子がリファレンス信号入力端子となる。また、差動入力バッファ103-2については、その-入力端子がトランス102の2次側の差動信号線対の-側線路に接続されているので、-入力端子が信号入力端子、+入力端子がリファレンス信号入力端子となる。

【0031】これら2つの差動入力バッファ103-1, 103-2の出力信号の組み合わせにより、前述の+V、-V、0の3値が検出される。差動出力バッファ101-1, 101-2の出力(OUT)と差動入力バッファ103-1, 103-2で検出される値(IN1, IN2)との関係を図2に示す。OUTは電気的な状態を示しており、IN1, IN2は論理値を示している。

【0032】図2に示されているように、OUTが+Vの場合には、差動入力バッファ103-1, 103-2は共に“1”を出力する(IN1, IN2=“1”)。OUTが-Vの場合には、差動入力バッファ103-1, 103-2は共に“0”を出力する(IN1, IN2=“0”)。OUTがゼロの場合には、差動入力バッファ103-1は“0”、差動入力バッファ103-2は“1”を出力する(IN1=“0”, IN2=

“1”）。

【0033】図1の受信側に設けられた抵抗104-1, 104-2は信号の反射を無くするための終端抵抗である。また、抵抗105～107は、差動入力バッファ103-1, 103-2それぞれのリファレンス信号入力端子と差動信号線対との間に所定のバイアス電圧を印加するためのバイアス回路を構成している。すなわち、図示のように、抵抗106の一端は差動入力バッファ103-1, 103-2の共通リファレンス信号入力端子に接続され、その他端は抵抗104-1と104-2の直列接続点に接続されている。また、抵抗106の一端と正電源端子間には抵抗105が接続され、抵抗106の他端と接地端子間には抵抗107が接続されている。抵抗104-1と104-2は同一の抵抗値を有しており、「ゼロ」出力状態においては、抵抗106の他端に発生する電位が抵抗104-1, 104-2を通じて差動信号線対に与えられる。

【0034】この構成により、「ゼロ」出力時においても、差動信号線対がフローティングになるのを防止できると共に、差動入力バッファ103-1, 103-2それぞれの信号入力端子とリファレンス信号入力端子との間に所定の電位差を生じさせることが出来、「ゼロ」出力状態をより確実に検知することができる。

【0035】（シリアル転送動作）次に、本シリアル信号伝送装置の動作を説明する。

【0036】（1）「ゼロ」出力時

トランス102にかかる電圧をゼロにする場合は、差動出力バッファ101-1は“1”，差動出力バッファ101-2は“0”を出力する。この場合、トランス102には電流が流れず、トランス102にかかる電圧はゼロとなるが、抵抗105～107の働きにより、トランス102の2次側の差動信号線対の+側線路と-側線路には、それぞれある特定のオフセット電位（ここでは、 V_1 とする）が生じる。この時、差動入力バッファ103-1の-側入力端子および差動入力バッファ103-2の+側入力端子の電位 V_2 の値は、抵抗106の働きにより、 V_1 よりも確実に高くなる。この結果、差動入力バッファ103-1は“0”，差動入力バッファ103-2は“1”を検出する。

【0037】（2）「+V」出力時

トランス102にかかる電圧を+Vにする場合、差動出力バッファ101-1は“1”，差動出力バッファ101-2は“1”を出力する。これにより、トランス102の1次側および2次側とも+Vの電圧がかかる。この+Vの電圧は抵抗104-1, 104-2によって2分割されるので、抵抗104-1と104-2の接続点の電位を V_3 とすると、トランス102の2次側における差動信号線対の+側線路の電位は

$$V_3 + 1/2 V$$

-側線路の電位は

$$V_3 - 1/2 V$$

となる。差動入力バッファ103-1, 103-2のリファレンス信号入力端子の電位 V_2 が、 $V_3 + 1/2 V$ と、 $V_3 - 1/2 V$ の間になるように抵抗105～107の各抵抗値を選ぶことにより、差動入力バッファ103-1は“1”，差動入力バッファ103-2も“1”を検出する。

【0038】（3）「-V」出力時

トランス102にかかる電圧を-Vにする場合、差動出力バッファ101-1は“0”，差動出力バッファ101-2は“0”を出力する。これにより、トランス102の1次側および2次側とも-Vの電圧がかかる。この-Vの電圧は抵抗104-1, 104-2によって2分割されるので、抵抗104-1と104-2の接続点の電位を V_3 とすると、トランス102の2次側における差動信号線対の+側線路の電位は

$$V_3 - 1/2 V$$

-側線路の電位は

$$V_3 + 1/2 V$$

となる。差動入力バッファ103-1, 103-2のリファレンス信号入力端子の電位 V_2 が、 $V_3 + 1/2 V$ と、 $V_3 - 1/2 V$ の間になるように抵抗105～107の各抵抗値を選ぶことにより、差動入力バッファ103-1は“0”，差動入力バッファ103-2も“0”を検出する。

【0039】以上のように、本実施形態のシリアル信号伝送装置によれば、既存の差動バッファを利用して3値データを転送することができるので、ゲートアレイやスタンダードセルといった開発期間の短いLSIを使って、トランスを使った高速ビットシリアル転送に好適なバイポーラ方式によるシリアル転送を実現することができる。

【0040】（PCIバス間のシリアル接続）次に、図3を参照して、図1のシリアル信号伝送装置を用いて2つのPCIバス1, 2間をシリアル接続する場合の具体的な構成について説明する。

【0041】PC本体100とドッキングステーション200との間を結ぶシリアル伝送路300には、PC本体100からドッキングステーション200へのシリアル信号転送を行うための下りの差動信号線対と、ドッキングステーション200からPC本体100へのシリアル信号転送を行うための上りの差動信号線対とが設けられており、全体で全二重通信路を構成する。

【0042】PC本体100側に設けられたPCIインターフェイス11は、PC本体100のPCIバス1上に接続された各種PCIデバイスとの間でトランザクションを授受する。同様に、ドッキングステーション200側に設けられたPCIインターフェイス21は、ドッキングステーション200のPCIバス2上に設けられた各種拡張用PCIデバイスとの間でトランザクション

を授受する。

【0043】PCIバス1上のデバイスからPCIバス2上のデバイスへのトランザクションは、下りの差動信号線対を介したシリアル転送によって次のように実行される。

【0044】すなわち、この下りのシリアル転送においては、まず、伝達すべきトランザクションを構成するアドレス、コマンド、データ（ライト時のみ）、バイトイネーブルなどの情報がパラレル/シリアル変換回路12によってパラレルデータからシリアルデータに変換され、疑似3値エンコーダ13に送られる。疑似3値エンコーダ13は、シリアルデータを構成する“1”と“0”の2値データを、+V、-V、ゼロの3値に変換するための変調回路である。

【0045】具体的には、2値データの値が変化する度に+V、-Vを交互に切り替えて出力し、同じ値の2値データが続くときはゼロを出力するといった制御を行う。+V出力時には差動出力バッファ101-1、101-2のそれぞれの入力に“1”の信号が入力され、-V出力時には差動出力バッファ101-1、101-2のそれぞれの入力に“0”の信号が入力され、さらにゼロ出力時には差動出力バッファ101-1、101-2の一方の差動出力バッファの入力に“1”の信号が入力され、他方の差動出力バッファの入力に“0”の信号が入力される。これにより、前述のバイポーラ方式によるシリアル信号転送が実行され、+V、-V、ゼロの3値がトランス102を介してドッキングステーション200の差動入力バッファ103-1、103-2に伝えられる。

【0046】ドッキングステーション200側においては、差動入力バッファ103-1、103-2によって+V、-V、ゼロの3値が検出され、それら差動入力バッファ103-1、103-2からの信号IN1、IN2は疑似3値デコーダ14に送られる。IN1、IN2は疑似3値デコーダ14によってデコードされ、2値データに戻される。デコード方法は、疑似3値エンコーダ13のエンコード方法に対応して決定される。2値データに戻されたシリアルデータはシリアル/パラレル変換回路15によってパラレルデータに変換された後にPCIインターフェイス部21に送られ、このPCIインターフェイス部21によってPCIバス2上にトランザクションが展開される。

【0047】PCIバス2上のデバイスからPCIバス1上のデバイスへのトランザクションは、上りの差動信号線対を介したシリアル転送によって次のように実行される。

【0048】すなわち、この上りのシリアル転送においては、まず、伝達すべきトランザクションを構成するアドレス、コマンド、データ（ライト時のみ）、バイトイネーブルなどの情報、あるいはPCIバス1上のデバイ

スからのトランザクションに応答するための情報が、パラレル/シリアル変換回路22によってパラレルデータからシリアルデータに変換され、疑似3値エンコーダ23に送られる。疑似3値エンコーダ23は、シリアルデータを構成する“1”と“0”の2値データを、+V、-V、ゼロの3値に変換するための制御を行う。これにより、差動出力バッファ201-1、201-2によって前述のバイポーラ方式によるシリアル信号転送が実行され、+V、-V、ゼロの3値がトランス202を介してPC本体100の差動入力バッファ203-1、203-2に伝えられる。トランス202と差動入力バッファ203-1、203-2との間には、終端抵抗204-1、204-2と、バイパス回路を構成する抵抗205~207が設けられており、+V、-V、ゼロの3値を正しく検知することができる。

【0049】PC本体100側においては、差動入力バッファ203-1、203-2によって+V、-V、ゼロの3値が検出され、それら差動入力バッファ203-1、203-2からの信号IN1、IN2は疑似3値デコーダ24に送られる。IN1、IN2は疑似3値デコーダ24によってデコードされ、2値データに戻される。2値データに戻されたシリアルデータはシリアル/パラレル変換回路25によってパラレルデータに変換された後にPCIインターフェイス部11に送られ、このPCIインターフェイス部11によってPCIバス1上にトランザクションが展開される。

【0050】（受信回路部の構成2）図4には、本実施形態のシリアル信号伝送装置を構成する受信回路部の第2の例が示されている。

【0051】ここでは、センタータップ付きのトランス102を利用する場合を想定している。抵抗301は終端抵抗であり、図示のようにトランス102の2次側の差動信号線対の+側線路と-側線路間に接続される。抵抗302~304は、差動入力バッファ103-1、103-2それぞれのリファレンス信号入力端子と差動信号線対との間に所定のバイパス電圧を印加するためのバイパス回路を構成している。すなわち、図示のように、抵抗303の一端は差動入力バッファ103-1、103-2の共通リファレンス信号入力端子に接続され、その他端はトランス102のセンタータップに接続されている。また、抵抗302の一端と正電源端子間には抵抗302が接続され、抵抗302の他端と接地端子間には抵抗304が接続されている。抵抗303の他端に発生する電位は2次側巻き線を通じて差動信号線対に与えられる。

【0052】この構成により、「0」出力時においても、差動信号線対がフローティングになるのを防止できると共に、差動入力バッファ103-1、103-2それぞれの信号入力端子とリファレンス信号入力端子との間に所定の電位差を生じさせることが出来、「0」出力

状態をより確実に検知することができる。

【0053】（受信回路部の構成3）図5には、本実施形態のシリアル信号伝送装置を構成する受信回路部の第3の例が示されている。

【0054】本例は、図4の抵抗302～304の代わりに、図示のように、1個の電池401を設け、その＋側端子を差動入力バッファ103-1、103-2の共通リファレンス信号入力端子に接続し、－側端子をトランス102のセンタータップに接続したものである。この構成においても、図4と同様の効果が得られる。

【0055】（受信回路部の構成4）図6には、本実施形態のシリアル信号伝送装置を構成する受信回路部の第4の例が示されている。

【0056】抵抗301は図4、図5の例と同じく終端抵抗であり、図示のようにトランス102の2次側の差動信号線対の＋側線路と－側線路間に接続される。電池501は差動入力バッファ103-1のリファレンス信号入力端子と差動信号線対の－側線路との間に所定のバイアス電圧を印加するためのバイアス回路であり、また電池502は差動入力バッファ103-2のリファレンス信号入力端子と差動信号線対の＋側線路との間に所定のバイアス電圧を印加するためのバイアス回路である。電池501、502のバイアス電位の値を適切な値に選ぶことにより、+V、-V、0の3値（OUT）と差動入力バッファ103-1、103-2で検出される値（IN1、IN2）との関係は図8ようになる。

【0057】なお、電池501、502の各々について＋側端子と－側端子とを入れ替えた場合には、図2と同じ入出力関係が得られる。

【0058】（受信回路部の構成5）図7には、本実施形態のシリアル信号伝送装置を構成する受信回路部の第5の例が示されている。

【0059】本例は、図6の電池501、502を抵抗回路によって実現したものである。抵抗601、602、603は電池501を構成しており、また抵抗604、605、606は電池502を構成している。

【0060】

【発明の効果】以上説明したように、本発明によれば、トランスが挿入された信号線路に好適なシリアル伝送を既存の差動バッファを利用して実行できるようになり、転送レートを落とすことなく、十分に信頼性の高いシリアル転送を行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るシリアル信号伝送装置の構成を示す回路図。

【図2】同実施形態のシリアル信号伝送装置における入出力値の関係を説明するための図。

【図3】同実施形態のシリアル信号伝送装置を利用したPCIシリアルインターフェイスの構成を示すブロック図。

【図4】同実施形態のシリアル信号伝送装置の受信回路部の第2の構成例を示す回路図。

【図5】同実施形態のシリアル信号伝送装置の受信回路部の第3の構成例を示す回路図。

【図6】同実施形態のシリアル信号伝送装置の受信回路部の第4の構成例を示す回路図。

【図7】同実施形態のシリアル信号伝送装置の受信回路部の第5の構成例を示す回路図。

【図8】図6または図7の受信回路を用いた場合の入出力値の関係を示す図。

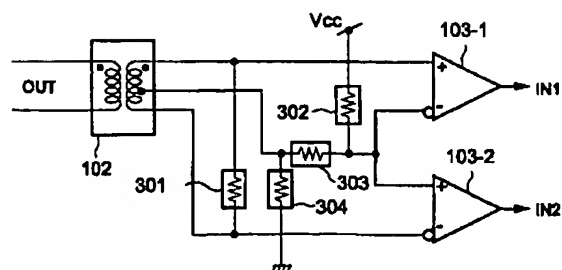
【符号の説明】

101-1…差動出力バッファ
101-2…差動出力バッファ
102…トランス
103-1…差動入力バッファ
103-2…差動入力バッファ
104-1、104-2…終端抵抗
105～107…バイアス回路用抵抗
11、21…PCIインターフェイス
12…パラレル／シリアル変換回路
13…疑似3値エンコーダ
14…疑似3値デコーダ
15…シリアル／パラレル変換回路

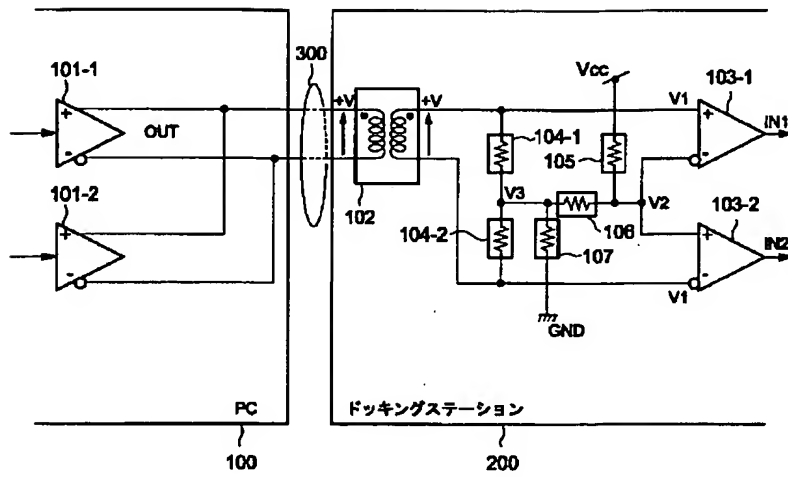
【図2】

OUT	IN1	IN2
+V	"1"	"1"
-V	"0"	"0"
ゼロ	"0"	"1"

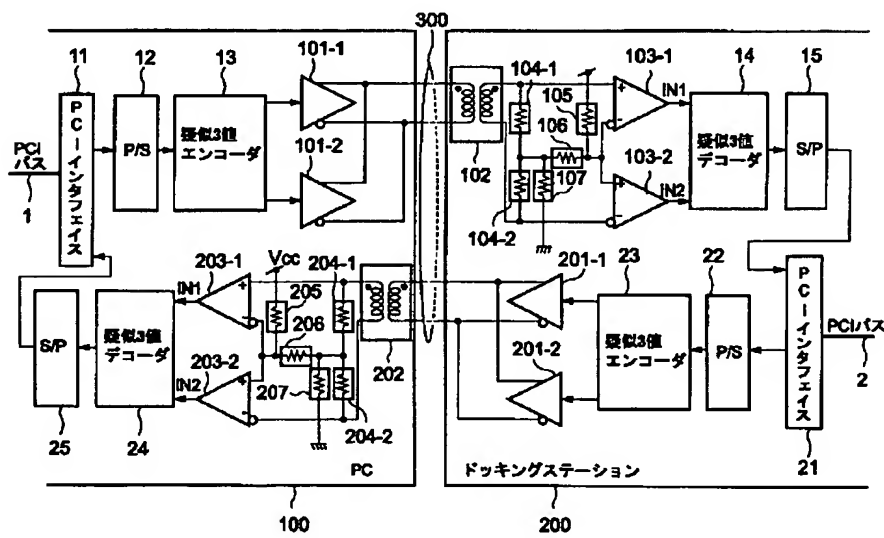
【図4】



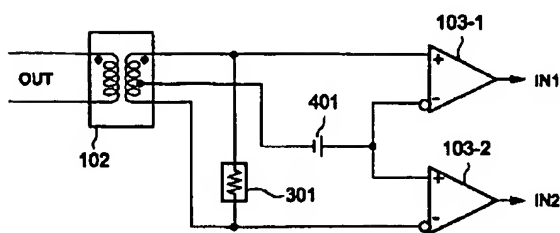
【図1】



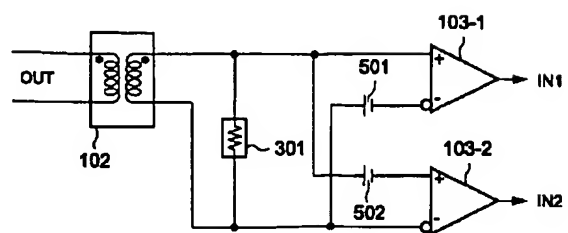
【図3】



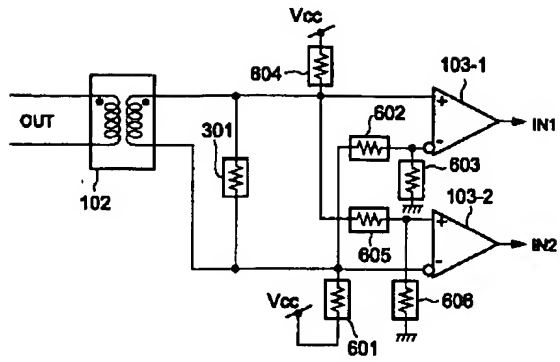
【図5】



【図6】



【図 7】



【図 8】

OUT	IN1	IN2
+V	"1"	"1"
-V	"0"	"0"
ゼロ	"1"	"0"

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.